



DEUTSCHES
PATENTAMT

- ②1 Aktenzeichen: P 32 48 566.2
②2 Anmeldetag: 30. 12. 82
②3 Offenlegungstag: 5. 7. 84

DE 3248566 A1

⑦1 Anmelder:

Philips Kommunikations Industrie AG, 8500
Nürnberg, DE

⑦2 Erfinder:

Bader, Edgar, Dipl.-Ing., 8501 Rückersdorf, DE

Patentamt

⑤4 Verfahren und Schaltungsanordnung zur Übertragung von Datensignalen.

In bestimmten Fällen ist es angebracht, nicht ein komplettes Multiplexsignal (beispielsweise das komplette Multiplexsignal von 64 kbit/s gemäß der CCITT-Empfehlung X.51) oder einen einzigen Kanal zu übertragen, sondern eine einzelne Kanalgruppe. Eine Kanalgruppe ist jeweils aus k Kanälen homogen im Zeitmultiplex zusammengesetzt, wobei jeder Kanal dieselbe Envelope-Struktur mit einem fest zugeordneten Synchronisierbit aufweist. Die Kanäle sind in der Kanalgruppe envelope-verschachtelt eingeordnet. Die Rahmensynchronisierungsinformation ist dadurch gegeben, daß k aufeinanderfolgende Synchronisierbits in einer Kanalgruppe gleich sind und die Synchronisierbits aufeinanderfolgender Gruppen mit je k Envelopes abwechselnd binär »0« und binär »1« sind.

BEST AVAILABLE COPY

DE 3248566 A1

Philips Kommunikations
Industrie AG

28.12.1982
P 82351

Patentansprüche

- ① Verfahren zur Übertragung von Datensignalen in Kanalgruppen im Zeitmultiplexverfahren, wobei
- a) eine Kanalgruppe jeweils aus k Kanälen homogen im Zeitmultiplex zusammengesetzt ist,
 - b) jeder Kanal dieselbe Envelope-Struktur mit mindestens einem fest zugeordneten Synchronisierbit (A) aufweist,
 - c) die Kanäle in der Kanalgruppe envelope-verschachtelt eingeordnet sind,
 - d) Synchronisierbits (A) der verschachtelten Kanäle die Rahmensynchronisierungsinformation enthalten,
- dadurch gekennzeichnet,
- daß k aufeinanderfolgende Synchronisierbits in einer Kanalgruppe gleich sind und die Synchronisierbits aufeinanderfolgender Gruppen mit je k Envelopes abwechselnd binär "0" und binär "1" sind.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet,
- daß die Synchronisierbits aufeinanderfolgender Envelopes jedes einzelnen, unverschachtelten Kanals abwechselnd binär "0" und binär "1" sind.
3. Schaltungsanordnung zur empfangsseitigen Erkennung der Rahmensynchronisation und zur Erkennung der Anzahl k der in einer Kanalgruppe vorkommenden Kanäle nach Anspruch 1 oder 2, mit $k = 2^m$ ($m = 0, 1, 2, 3, \dots$) Kanälen, wobei ein Envelope

- eines Kanals aus n bit besteht, dadurch gekennzeichnet, daß die empfangene Bitfolge (a_x) mittels eines ersten Antivalenzgliedes ($M0$) mit derselben, um n Takte (T) verzögerten Bitfolge ($SR1$) verglichen wird,
- 5 daß die am Ausgang des Antivalenzgliedes ($M0$) anliegende Bitfolge (b_x) dem ersten Eingang eines ersten UND-Gatters ($U0$) zugeführt wird,
- 10 daß der Ausgang des ersten UND-Gatters ($U0$) mit dem Eingang eines $k \cdot n$ -stufigen Schieberegisters ($SR2$) verbunden ist,
- daß der Ausgang des Schieberegisters ($SR2$) auf den zweiten Eingang des ersten UND-Gatters ($U0$) zurückgeführt ist,
- 15 daß bei dem Schieberegister ($SR2$) Abgriffe nach jeweils $p \cdot n$, mit $p = 1, 2, 4, \dots, k$, vorgesehen sind,
- daß zu Beginn der Synchronisationssuche und Kanalzahlbestimmung alle Stufen des Schieberegisters ($SR2$) auf "1" gesetzt werden,
- 20 daß der Eingang und die Abgriffe des Schieberegisters ($SR2$) einer Prüfschaltung (PR) und einer Ausgangslogik (L) zugeführt werden
- und daß die Ausgangslogik (L) k Ausgänge ($A1, A2, A4$) aufweist, aus deren Ausgangssignale die Rahmensynchronisation ableitbar und die Anzahl der vorhandenen Kanäle erkennbar ist.
- 25
4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die Prüfschaltung (PR) die Ausgänge ($A1, A2, A4$) der Ausgangslogik (L) nur
- 30 beim Auftreten eines Synchronisierbits freigibt.

-18-3.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Prüfschaltung (PR) aus einem n-stelligen Zähler (Z), einem zweiten Antivalenzglied (M1) und einem ODER-Gatter (O1) besteht, daß der Eingang und die Abgriffe des Schieberegisters (SR2) dem ODER-Gatter (O1) zugeführt werden, daß der Ausgang des ODER-Gatters (O1) mit dem ersten Eingang des Antivalenzgliedes (M1) verbunden ist, daß der Ausgang des Zählers (Z) auf den zweiten, invertierenden Eingang des zweiten Antivalenzgliedes (M1) zurückgeführt ist und gleichzeitig zur Ausgangslogik (L) geführt ist und daß der Ausgang des ODER-Gatters (O1) mit dem Rücksetzeingang (R) des Zählers (Z) verbunden ist.

BAD ORIGINAL

Verfahren und Schaltungsanordnung zur Übertragung
von Datensignalen

Die Erfindung betrifft ein Verfahren zur Übertragung von Datensignalen in Kanalgruppen im Zeitmultiplexverfahren gemäß dem Oberbegriff des Patentanspruchs 1.

5 Zeitmultiplexe zur Übertragung von Datensignalen können mehrere Kanalgruppen enthalten, die ihrerseits wieder homogen in ein oder mehrere Kanäle unterteilt sein können. Ein solches Multiplexschema ist beispielsweise in der Empfehlung X.51 des CCITT definiert. Dieses enthält fünf Kanalgruppen
10 mit einer Bitrate von je 12 kbit/s. Dies ergibt zusammen mit einer Padding-Bitfolge von 4 kbit/s, die unter anderem empfangsseitig die Suche und stetige Kontrolle des Rahmensynchronismus ermöglicht, eine zu übertragende Gesamt-Bitrate von 64 kbit/s.
15 Einzelheiten dieses Rahmenaufbaus spielen aber für das erfindungsgemäße Verfahren keine Rolle.

Jede der genannten Kanalgruppen kann homogen in einen, zwei, vier, acht oder sechzehn Kanäle unterteilt sein, wobei die Bitraten dieser Kanäle 12, 6,
20 3, 1,5 oder 0,75 kbit/s betragen. Die homogene Unterteilung in 8 Kanäle zu je 1,5 kbit/s ist in der oben genannten Empfehlung zwar nicht erwähnt, wird aber ebenfalls angewandt.

Die einzelnen Kanäle besitzen gemäß der Empfehlung
25 X.51 eine 10-bit-Envelope-Struktur, wie in Fig. 1

- 5 -

- dargestellt. Ein Envelope besteht aus dem Statusbit S, das zur Unterscheidung von Nutzdatenübertragungs- und Signalisierungszustand dient, dem Synchronisierbit (Alignment-Bit) A und 8 Informationsbits. In einer
- 5 Kanalgruppe sind die einzelnen Kanäle envelope-verschachtelt eingeordnet. Die einem bestimmten Kanal zugehörigen Envelopes und Bits haben eindeutig festgelegte Plätze innerhalb des Rahmens des Zeitmultiplexsignals.
- 10 In bestimmten Fällen, beispielsweise wenn ein Teilnehmer mehr als einen Kanal benötigt, ist es sinnvoll oder notwendig, nicht ein komplettes Multiplexsignal (beispielsweise das oben erwähnte komplette X.51-Multiplexsignal von 64 kbit/s) oder einen einzigen Kanal
- 15 zu übertragen, sondern eine einzelne Kanalgruppe. Diese einzelne Kanalgruppe kann z.B. aus einem X.51-Multiplexsignal herausgenommen sein oder sie kann aus einzelnen Kanälen zur gemeinsamen Übertragung zusammengestellt worden sein.
- 20 Um die empfangsseitige Auflösung in die einzelnen Kanäle bzw. die richtige Einordnung der Kanalgruppe in ein anderes Multiplexsignal zu ermöglichen, muß diese einzelne Kanalgruppe eine Rahmensynchronisierungsinformation enthalten. Dies kann beispielsweise dadurch erfolgen, daß dem Kanalgruppensignal eine Rahmensynchronisierbitfolge hinzugefügt wird, wie dies bei der Bildung des oben erwähnten X.51-Multiplexsignals der Fall
- 25 ist. Dies hat aber den Nachteil, daß die Übertragungsrates erhöht wird.
- 30 Eine andere Möglichkeit ist, die Envelope-Synchronisierbitfolge (A-Bit-Folge) der aufeinanderfolgenden

BAD ORIGINAL

Kanäle sendeseitig durch eine Rahmensynchronisierbitfolge zu ersetzen. Dies ist aus der DE-OS 30 02 929 (Anspruch 2) und für ein Multiplexsignal gemäß der CCITT-Empfehlung X.50 aus den NTG-Fachberichten, Band 55 (1976), "Datennetze", Seiten 268 bis 269 (Abschnitt "3. Multiplexer für Envelopes") bekannt. Auf der Sendeseite erfolgt also hier die Markierung der Rahmenphase durch Überschreiben der Envelope-Synchronisierbits mit den Rahmensynchronisierbits. Dies kann dazu führen, daß die Rahmenlänge des Multiplexsignals größer als die Länge der Kanalgruppe ist, insbesondere wenn eine Kanalgruppe eine verhältnismäßig geringe Anzahl von Kanälen enthält, was auf der Empfangsseite einen erhöhten Aufwand beim Demultiplexieren des empfangenen Multiplexsignals und beim Zuordnen der Envelopes zu den entsprechenden Kanälen bedeutet.

Aufgabe der Erfindung ist es, ein Verfahren der eingangs genannten Art anzugeben, bei dem die Rahmenlänge des Multiplexsignals möglichst kurz bleibt, keinesfalls aber größer als eine Kanalgruppe ist.

Die Lösung dieser Aufgabe ist im Kennzeichenteil des Anspruchs 1 angegeben.

Ein Vorteil dieser erfindungsgemäßen Lösung besteht auch darin, daß auf der Empfangsseite die Anzahl der Kanäle in einer Kanalgruppe auf einfache Art und Weise festgestellt werden kann, da der Anfang einer Kanalgruppe und damit der Umfang eines Multiplexrahmens durch die Änderung des Binärzustandes der Synchronisierbitfolge festgelegt ist.

~~4~~ 7.

Besonders vorteilhaft ist das Verfahren anwendbar, wenn die Synchronisierbitfolge (A-Bit-Folge) jedes einzelnen Kanals immer die Folge 101010 ... ist, was in den bisher bekannt gewordenen Fällen zutrifft, da dann auf der Empfangsseite nach dem Demultiplexieren des Kanalgruppensignals das kanalweise Einführen neuer Envelope-Synchronisierbits entfällt. Beim Stand der Technik muß das Signal sowohl sende- als auch empfangsseitig bearbeitet werden, während hier die Synchronisierbitfolge (A-Bit-Folge) der einzelnen Kanäle, aus welchen sich die zu übertragende Kanalgruppe zusammensetzt, gar nicht verändert oder höchstens sendeseitig invertiert werden muß. Empfangsseitig entfällt auf jeden Fall das kanalweise Einführen neuer Envelope-Synchronisierbits. Ist auf der Sendeseite eine Inversion des Synchronisierbits notwendig, kann dies durch eine unmittelbare Inversion des Synchronisierbits oder durch Verzögerung des Kanalsignals um die Dauer eines Envelopes erfolgen. Eine Verzögerung des Kanalsignals ist häufig bei der Einordnung in ein Multiplex ohnehin notwendig.

Eine Schaltungsanordnung und vorteilhafte Ausgestaltungen zur empfangsseitigen Erkennung der Rahmensynchronisation und der Anzahl der in einer Kanalgruppe vorkommenden Kanäle sind in den übrigen Unteransprüchen angegeben.

Anhand der Zeichnung werden im folgenden Ausführungsbeispiele des erfindungsgemäßen Verfahrens sowie Schaltungsanordnungen hierzu erläutert.

Es zeigt:

Fig. 1 ein 10-bit-Envelope eines Kanals gemäß der CCITT-Empfehlung X.51,

Fig. 2 die Darstellung einer Kanalgruppe mit vier Kanälen,

Fig. 3A die Darstellung der Synchronisierbits einer Kanalgruppe mit zwei Kanälen,

Fig. 3B die Darstellung der Synchronisierbits einer Kanalgruppe mit acht Kanälen,

Fig. 4 eine Schaltungsanordnung zur Durchführung des Verfahrens bei einer Kanalgruppe mit vier Kanälen,

Fig. 5 ein Impulsdiagramm zu Fig. 4,

Fig. 6 eine Schaltungsanordnung zur empfangsseitigen Erkennung der Rahmensynchronisation und der Kanalgruppenunterteilung bei maximal vier vorkommenden Kanälen.

Bei dem in Fig. 2 gezeigten Datensignal besteht eine Kanalgruppe beispielsweise aus $k = 4$ Kanälen. Die hier an zweiter Stelle der Envelopes stehenden Synchronisierbits sind in der vollständig dargestellten Kanalgruppe alle "1". In der vorhergehenden und darauffolgenden Signalgruppe sind alle Synchronisierbits "0". Der Anfang eines Multiplexrahmens ist somit durch die Änderung des Binärzustands der Synchronisierbitfolge (A-Bit-Folge) festgelegt.

Wie auch aus der Fig. 3A und 3B ersichtlich ist, entspricht die Rahmenlänge eines solchermaßen gebildeten Multiplexsignals jeweils der Länge einer Kanalgruppe, entsprechend der Anzahl der in einer Kanalgruppe vorhandenen Kanäle. Fig. 3A zeigt dies anhand der Synchronisierbitfolge eines aus zwei Kanälen je Kanalgruppe und Fig. 3B anhand der Synchronisier-

~~8~~ 9.

bitfolge eines aus acht Kanälen je Kanalgruppe bestehenden Multiplexsignals. Werden also weniger oder mehr Kanäle im Multiplex zusammengefaßt, so ergeben sich kürzere oder längere Abstände zwischen den Über-
5 gängen (Änderung des Binärzustandes) in der Synchronisierbitfolge. Daraus ergibt sich der Vorteil, daß die Rahmenlänge möglichst kurz bleibt. Außerdem kann hierdurch empfangsseitig die Zahl der Kanäle im Multiplex erkannt werden.

10 Das in Fig.4 gezeigte Ausführungsbeispiel einer Schaltungsanordnung zur Durchführung des Verfahrens besteht aus der Baugruppe G und aus den Kanalbau-
gruppen K1, K2, K3 und K4. Für jeden Kanal einer Kanalgruppe ist eine Kanalbaugruppe erforderlich,
15 wobei jede gleich aufgebaut ist, weshalb hier lediglich die Kanalbaugruppe K1 detailliert dargestellt ist. Das gezeigte Beispiel ist also für vier Kanäle ausgelegt. Die aus der Baugruppe G kommenden Signale werden allen Kanalbaugruppen K1 ... K4 zugeführt.
20 Entsprechend der Kanalzahl enthält der Multiplexer M der Baugruppe G vier Eingänge E1, E2, E3 und E4.

Außer dem Multiplexer M enthält die Baugruppe G in Fig. 4 (vergleiche hierzu auch die Impulsdiagramme in Fig. 5) die Flip-Flops a, b, d, e, g, k, m, die
25 NAND-Gatter h, i, den 5:1-Frequenzteiler c und den 4:1-Frequenzteiler l. Der Grundtakt Tg wird dem Takteingang des ersten Flip-Flops a zugeführt. Am nicht invertierenden Ausgang des zweiten Flip-Flops b liegt der Takt T0 an, mit dem das Multiplexsignal DO
30 mit Hilfe des Flip-Flops m aus dem Multiplexer M ausgelesen wird. Es ist also $T_g = 4T_0$. Aus dem Takt T0 werden über den 4:1-Frequenzteiler die Takte T1, T2, T3, T4 gewonnen, mit denen die Datensignale D1, D2,

BAD ORIGINAL

D3, D4 in die Kanalbaugruppen K1, K2, K3, K4 übernommen werden. Da alle vier Kanalbaugruppen gleich aufgebaut sind, wird im folgenden nur noch die Kanalbaugruppe K1 betrachtet. Diese besteht aus dem Register n mit Serieneingang und Parallelausgang, dem Zwischenregister o mit parallelem Eingang und parallelem Ausgang, dem Register p mit parallelem Eingang und seriellem Ausgang sowie dem UND-Gatter q. Die Zahl der Speicherplätze der Register n, o, p entspricht jeweils der Zahl der Bitplätze eines Envelopes. Das Datensignal D1 des ersten Kanals wird also mit dem Takt T1 in das Register n gegeben. Mit dem Envelope-Takt ET1, der aus dem Datensignal D1 abgeleitet werden kann, werden die Daten envelopeweise in das Zwischenregister o übernommen. Mit dem Steuerungssignal L (L = LOAD) aus dem Flip-Flop g und dem Takt Ti aus der NAND-Schaltung i der Baugruppe G wird der Inhalt vom Zwischenregister o in das Register p umgespeichert. Das Synchronisierbit (Alignment-Bit A) wird dabei durch das im Flip-Flop k der Baugruppe G enthaltene Bit A1 ersetzt. Das neue Synchronisierbit ist für alle Kanäle innerhalb einer Kanalgruppe, d.h. hier innerhalb eines Rahmens des Multiplexsignals, gleich und wechselt von Kanalgruppe zu Kanalgruppe seine Polarität. Dieses Ersetzen ist praktisch ein Beibehalten oder eine Inversion der ursprünglichen Synchronisierbitfolge, wenn die Synchronisierbits aufeinanderfolgender Envelopes jedes einzelnen, unverschachtelten Kanals abwechselnd 0 und 1 sind.

Der Inhalt der Register p in den Kanalbaugruppen K1 ... K4 wird über den 4:1-Multiplexer M der Baugruppe G dem Flip-Flop m reihum seriell übermittelt

-8- 11.

und bildet dann das Multiplexsignal DO. Zu Beginn jedes Zyklus des Multiplexers M werden die Register p der Kanalbaugruppen KI ... K4 durch die parallele Übernahme des Inhalts der Zwischenregister o mit dem Statusbit und den Informationsbits der nächsten Envelopes geladen. Das neue Synchronisierbit wird aus dem Flip-Flop k übernommen. Die Übernahme wird gesteuert durch die aus dem Flip-Flop g und den UND-Gattern h, i bestehenden Logik. Diese schaltet die Betriebsweise der Register p für einen TO-Halbtakt vom Schiebetrieb (S = Shift) in den Ladebetrieb (L = LOAD) um und führt über die Takteingänge den Registern p einen Zwischentaktpuls (vergleiche T_i in Fig. 5) zu, mit dem die parallele Datenübernahme erfolgt. Danach geht die Schaltung g, h, i wieder in den normalen Zustand zurück. Zur Verhinderung eines Einspeichervorganges in das Zwischenregister o während des Ladens von Register p unterdrückt das UND-Gatter q während der Ladezeit einen eventuell in dieser Zeit kommenden Übernahmeimpuls ET₁.

Fig. 6 zeigt ein Ausführungsbeispiel einer Schaltungsanordnung, die bei Anwendung des erfindungsgemäßen Verfahrens empfangsseitig die Rahmensynchronisation und die Anzahl der in einer Kanalgruppe vorkommenden Kanäle erkennt und prüft. Zur besseren Übersicht beschränkt sich das hier dargestellte Ausführungsbeispiel auf maximal vier vorkommende Kanäle, d.h. bei Anwendung des Verfahrens bei einer Kanalgruppe entsprechend der CCITT-Empfehlung X.51 enthält das Multiplexsignal (die Kanalgruppe) entweder einen Kanal zu 12 kbit/s oder 2 Kanäle zu je 6 kbit/s oder 4 Kanäle zu je 3 kbit/s.

BAD ORIGINAL

Die empfangene Bitfolge a_x wird einem Schieberegister SR1 zugeführt und mit derselben, um 10 Takte T verzögerten Bitfolge mittels eines Antivalenzgliedes (modulo 2-Gatter) M0 verglichen. Die Stufenzahl des Schieberegisters SR1 entspricht der Anzahl n der Bits in einem Envelope (gemäß der X.51-Empfehlung ist $n = 10$). Dieser Vergleich ergibt eine Bitfolge b_x , die dem ersten Eingang eines UND-Gatters U0 zugeführt wird. Der Ausgang dieses UND-Gatters U0 ist mit dem Eingang eines Schieberegisters SR2 verbunden, das hier aus 40 Stufen besteht und Abgriffe nach 10 und nach 20 Stufen aufweist. Der Ausgang des Schieberegisters SR2 ist auf den zweiten Eingang des UND-Gatters U0 zurückgeführt.

Die Zahl der Stufen S und die Zahl und Orte der Abgriffe des Schieberegisters SR2 richten sich nach der Zahl n der Bits eines Envelopes und nach der in einer Kanalgruppe möglichen Anzahl k von Kanälen. Die Zahl der Stufen ist $S = k \cdot n$ (hier ist $S = 40$ für $n = 10$ und $k = 4$). Wenn die Anzahl der möglichen Kanäle $k = 2^m$ ($m = 0, 1, 2, 3 \dots$) ist, sind jeweils Abgriffe nach den Stufen $k \cdot n$ vorzusehen, also für $n = 10$ Abgriffe nach den Stufen 10, 20, 40, 80,

Der Eingang und die Abgriffe des Schieberegisters SR2 werden einem ODER-Gatter O1 und, teilweise invertiert, UND-Schaltungen U1, U2, U3 zugeführt. Das ODER-Gatter O1, ein Zähler Z und ein Antivalenzglied M1 sind Teile einer Prüfschaltung PR. Der Ausgang des ODER-Gatters O1 ist mit dem ersten Eingang des Antivalenzgliedes M1 verbunden, dessen Ausgang dem Rücksetzein-

~~-10-~~ 13.

gang R des Zählers Z zugeführt ist. Der Ausgang
des 10-stufigen ($n = 10$) Zählers Z ist mit dem
zweiten, invertierten Eingang des Antivalenz-
gliedes M1 und mit jeweils einem Eingang der UND-
5 Gatter U1, U2 und U3 verbunden. An diesem Aus-
gang liegt eine "1" an, wenn der Zähler Z seinen
Höchststand erreicht hat.

10 Zu Beginn der Synchronisationssuche und Kanal-
zahlbestimmung werden alle Stufen des Schiebereg-
isters SR2 auf "1" gesetzt (die Schaltung hierzu
ist nicht dargestellt). Sobald die Empfangsbit-
folge a_x in gerade für die Vermeidung eines vor-
getäuschten Synchronisationsmusters ausreichender
Länge empfangen wurde, sind im Schieberegister
15 SR2 nur noch eine einzige "EINS", 2 "EINS"en im
Abstand von 20 Takten T oder 4 "EINS"en im Ab-
stand von 10 Takten T enthalten, je nachdem, ob
die empfangene Kanalgruppe vier, zwei oder einen
Kanal enthält. Die Prüfschaltung PR erkennt so-
20 mit den Zeitpunkt, wann im ankommenden Daten-
strom a_x ein Synchronisierbit auftritt, womit
Anfang und Ende eines Envelopes festgestellt
werden können, und gibt zu diesem Zeitpunkt die
aus den UND-Gattern U1, U2, U3 und Invertern
25 (einige Eingangssignale der UND-Gatter werden in-
vertiert) bestehende Ausgangslogik L frei.

BAD ORIGINAL

Die UND-Gatter U1, U2 und U3 haben die Ausgänge A1, A2 und A4. Wenn am Eingang die Synchronisierbitfolge im ankommenden Multiplexsignal a_x die Polarität wechselt, d.h. wenn am Eingang des Antivalenzgliedes M0 unterschiedliche Werte anliegen, tritt der Wert "1" am Ausgang A1 auf ($A2 = 0$, $A4 = 0$), wenn die Kanalgruppe, d.h. das ankommende Multiplexsignal a_x , nur einen Kanal (mit z.B. 12 kbit/s) enthält. Dieser Polaritätswechsel des Synchronisierbits tritt in diesem Fall bei jedem Envelope auf, da die Synchronisierbitfolge 1010... ist. Die Rahmenlänge beträgt ein Envelope. Der Wert "1" tritt bei Polaritätswechsel am Ausgang A2 auf ($A1 = 0$ und $A4 = 0$), wenn die Kanalgruppe 2 Kanäle (mit z.B. je 6 kbit/s) enthält. Dann tritt ein Polaritätswechsel nach jedem zweiten Envelope auf, da die Synchronisierbitfolge 11001100... ist, d.h. die Rahmenlänge beträgt 2 Envelope. Enthält die ankommende Kanalgruppe 4 Kanäle (mit z.B. je 3 kbit/s), tritt der Wert "1" bei Polaritätswechsel am Ausgang A4 auf ($A1 = 0$, $A2 = 0$). Die Synchronisierbitfolge ist in diesem Fall 1111000011110000..., d.h. die Rahmenlänge beträgt 4 Envelope.

Mit dieser verhältnismäßig einfachen Schaltungsanordnung ist es bei Anwendung des erfindungsgemäßen Verfahrens also möglich, empfangsseitig sowohl die Rahmensynchronisation zu erkennen und zu prüfen als auch gleichzeitig auf einfache Art und Weise die Anzahl der im Multiplexsignal vorhandenen Kanäle zu erkennen.

Können mehr als 4 Kanäle in einem Multiplexsignal vorkommen, braucht lediglich zusammen mit der Erweiterung des Schieberegisters SR2 (siehe oben) die Anzahl der

~~12~~ 15

UND-Gatter vergrößert und die Ausgangslogik entsprechend erweitert zu werden. Bei $k = 2^m$ ($m = 0, 1, 2, 3, \dots$) Kanälen beträgt die Anzahl der UND-Gatter $1 + m$.

BAD ORIGINAL

16
- Leerseite -

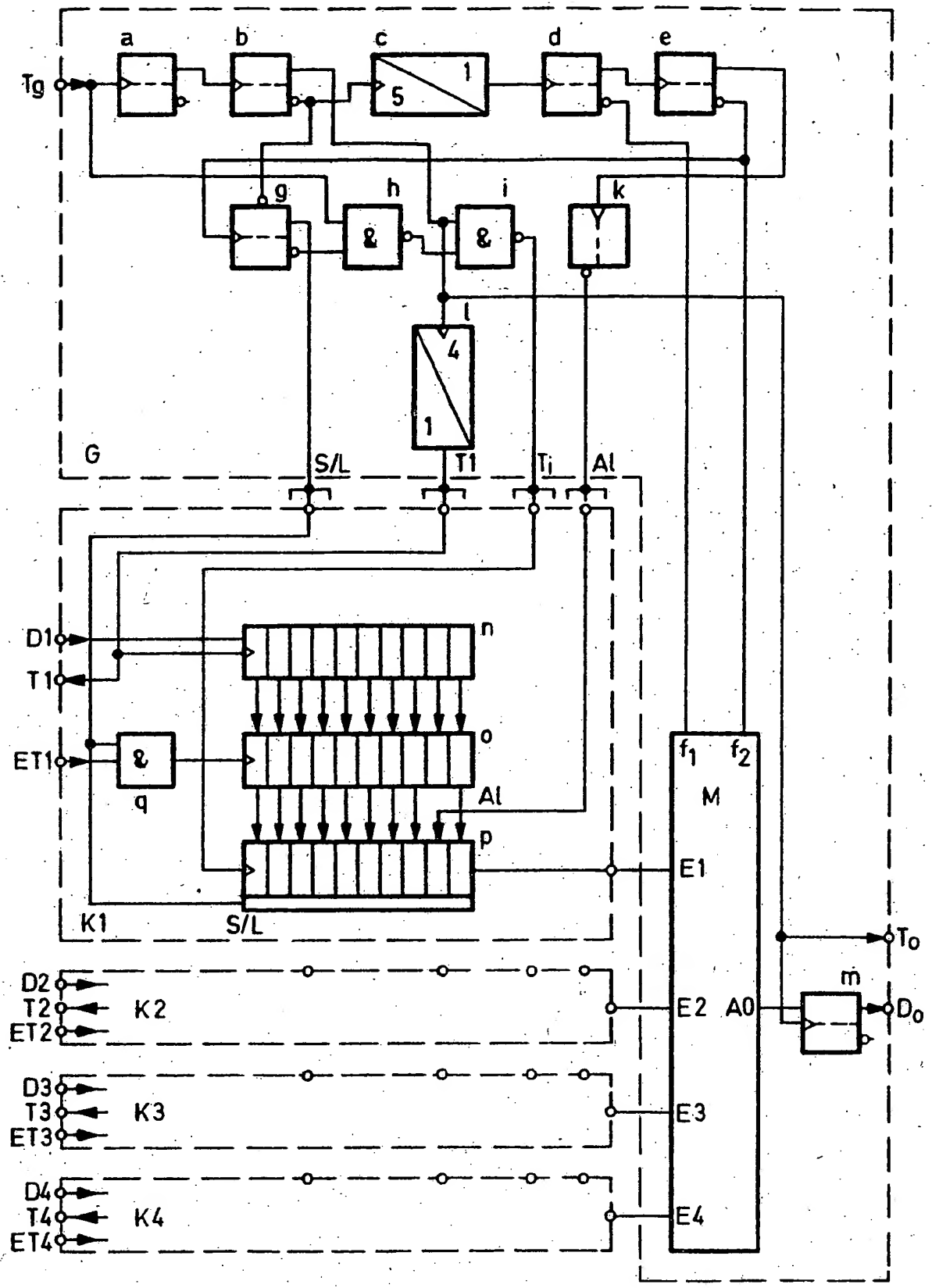


Fig. 4

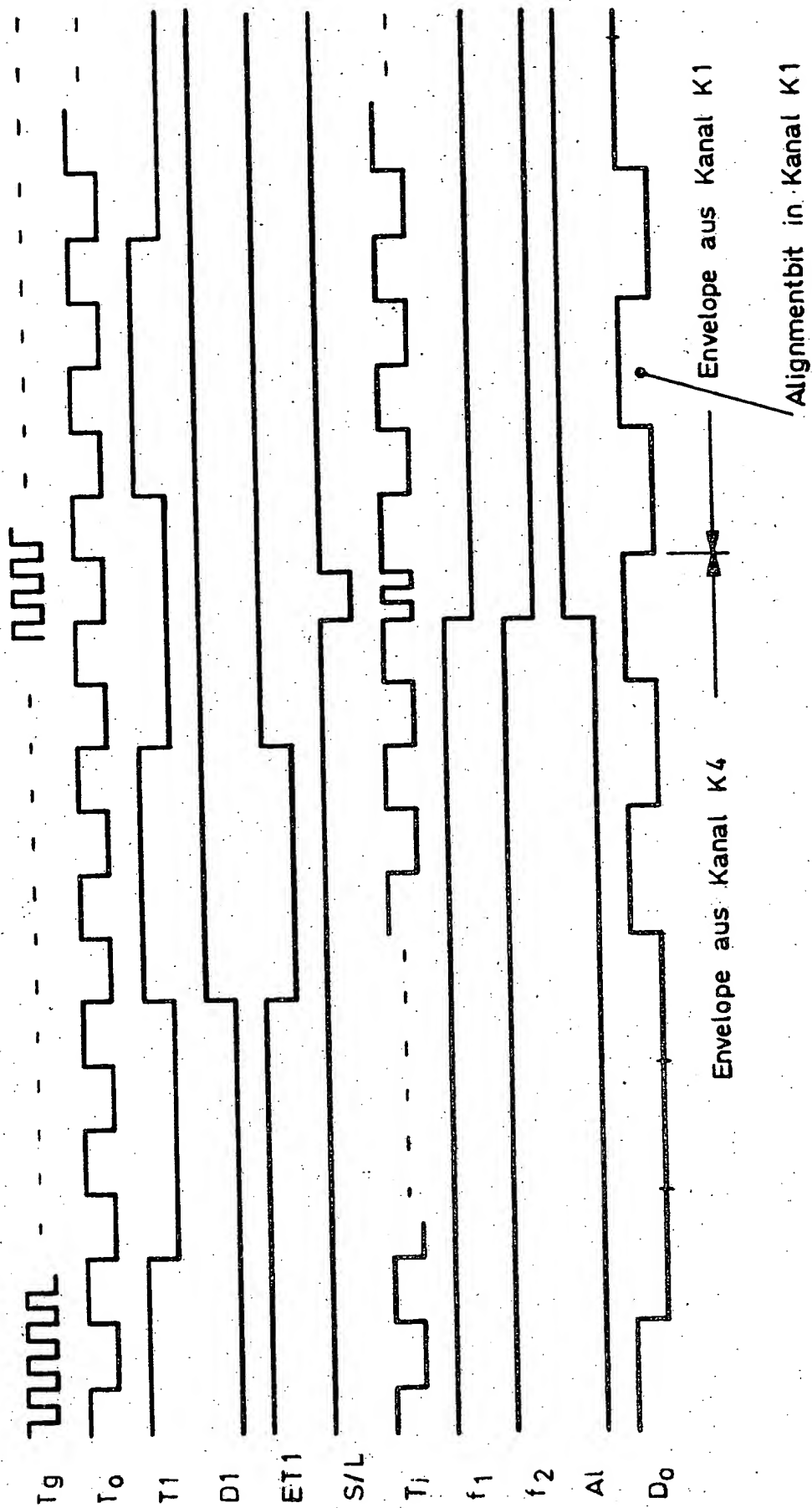


Fig. 5

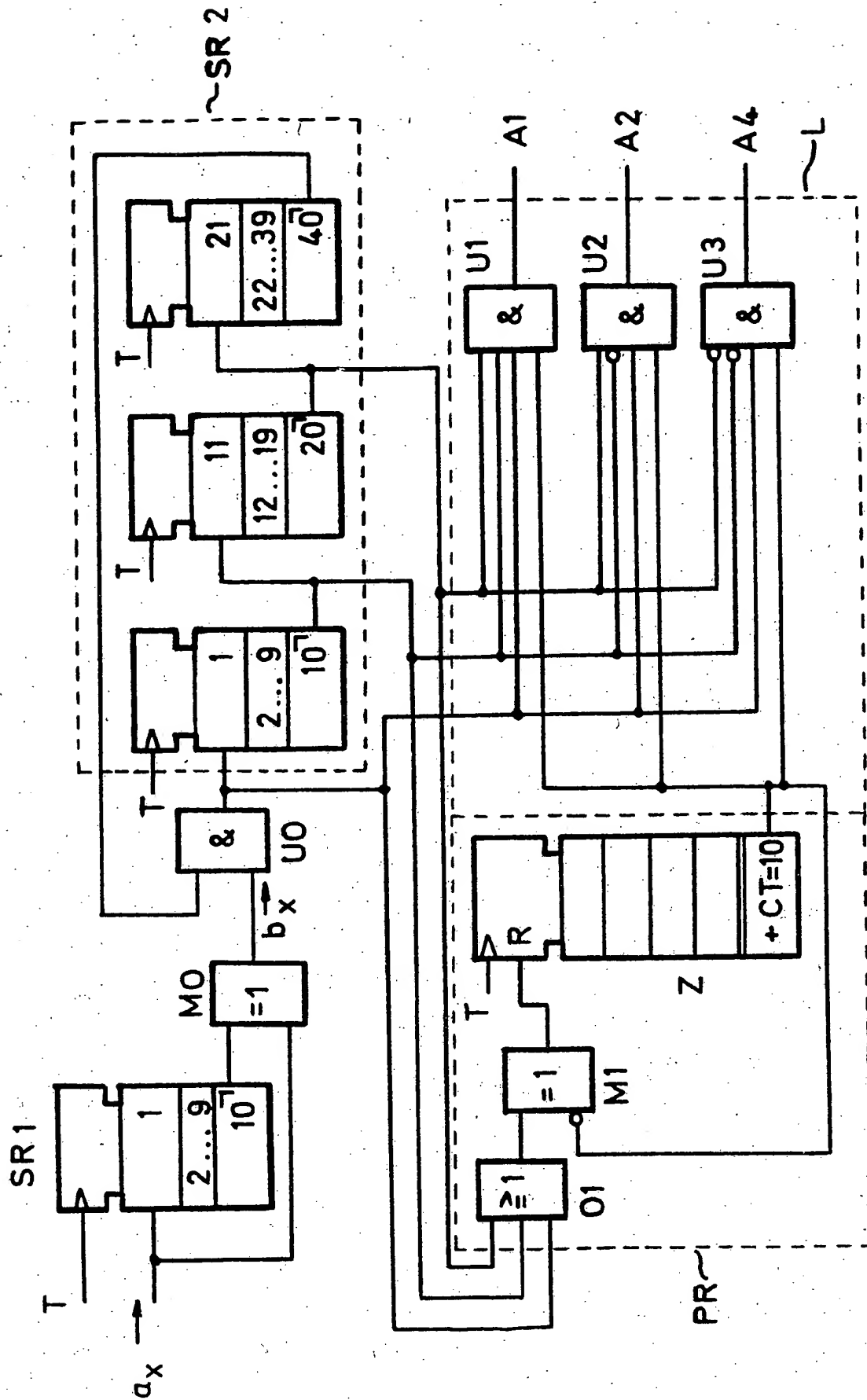


Fig. 6

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**